

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2002 年 11 月 20 日
Application Date

申請案號：091133809-
Application No.

申請人：原相科技股份有限公司
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2003 年 10 月 8 日
Issue Date

發文字號：03221016640
Serial No.

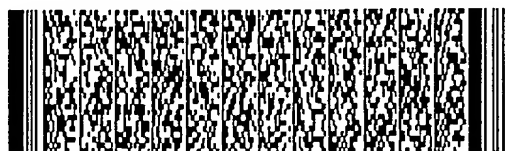
申請日期：	IPC分類
申請案號：	



(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	重置脈衝產生裝置
	英 文	
二、 發明人 (共4人)	姓 名 (中 文)	1. 李宣賢 2. 呂志宏 3. 馬國淵
	姓 名 (英 文)	1. 2. 3.
	國 籍 (中 英 文)	1. 中華民國 TW 2. 中華民國 TW 3. 中華民國 TW
	住居所 (中 文)	1. 新竹科學園區創新一路五號五樓 2. 新竹科學園區創新一路五號五樓 3. 新竹科學園區創新一路五號五樓
	住居所 (英 文)	1. 2. 3.
三、 申請人 (共1人)	名稱或 姓 名 (中 文)	1. 原相科技股份有限公司
	名稱或 姓 名 (英 文)	1.
	國 籍 (中 英 文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 新竹科學園區創新一路五號五樓 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1.
	代表人 (中 文)	1. 蔡明介
	代表人 (英 文)	1.



申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	
	英 文	
二、 發明人 (共4人)	姓 名 (中 文)	4. 楊金新
	姓 名 (英 文)	4.
	國 籍 (中 英 文)	4. 中華民國 TW
	住居所 (中 文)	4. 新竹科學園區創新一路五號五樓
	住居所 (英 文)	4.
三、 申請人 (共1人)	名稱或 姓 名 (中 文)	
	名稱或 姓 名 (英 文)	
	國 籍 (中 英 文)	
	住居所 (營業所) (中 文)	
	住居所 (營業所) (英 文)	
	代表人 (中 文)	
	代表人 (英 文)	



四、中文發明摘要 (發明名稱：重置脈衝產生裝置)

一種重置脈衝產生裝置，包括微處理器、振盪電路以及振盪失能電路。微處理器係於成功執行重置程序後係輸出重置結束信號。振盪電路係耦接於微處理器，用以輸出週期性之重置脈衝。振盪失能電路係耦接於振盪電路，當接收到重置結束信號時，則使振盪電路停止振盪，並使微處理器在正常操作模式下工作。

伍、(一)、本案代表圖為：第2圖

(二)、本案代表圖之元件代表符號簡單說明：

20 ~ 史密特觸發器

22 ~ 手動開關

26 ~ CPU

24 ~ 電容

28 ~ 開關

POWER_ON ~ 開機啟動脈衝信號

陸、英文發明摘要 (發明名稱：)



四、中文發明摘要 (發明名稱：重置脈衝產生裝置)

RESET ~ 重置信號

RST_STP ~ 振盪停止信號

陸、英文發明摘要 (發明名稱：)



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

☐熟習該項技術者易於獲得, 不須寄存。



五、發明說明 (1)

本發明係有關於通電重置(power-on reset)技術，特別是有關於一種重置脈衝產生裝置。

通電重置電路已廣泛運用於積體電路晶片內，當於通電(power-on)時用以對積體電路進行啟始化(initialization)操作。

第1圖係顯示傳統通電重置電路之電路圖。如圖所示，當低位準之開機啟動脈衝信號POWER_ON輸入至反相器10時（以史密特觸發器為例），能夠產生高位準之重置信號RESET。另外，重置信號RESET同樣可藉由操作手動開關12產生，當手動開關12導通時，於史密特觸發器10輸入端之位準下拉為低位準，因此可產生高位準之重置信號RESET。史密特觸發器10輸出重置信號RESET至CPU 14，則CPU 14執行重置程序以進行啟始化(initialization)操作。

然而，傳統通電重置電路僅能夠對CPU提供單一脈衝之重置信號RESET，因此，當CPU 14執行重置程序時發生時序錯誤而重置失敗時，因為沒有觸發之重置信號RESET，因此無法再次執行重置程序，使得整個系統無法操作。雖然，此時可利用操作手動開關12來再次提供重置信號，但手動開關12通常僅在產品於設計階段時才會設置，當產品實際在販賣時，並不一定會設置手動開關12，因此在CPU 14無法操作的情況下，造成整個系統無法使用。

有鑑於此，為了解決上述問題，本發明主要目的在於



五、發明說明 (2)

提供一種重置脈衝產生裝置，能夠週期性產生重置信號，並藉由偵測CPU於重置成功後所產生之信號來確認CPU完成重置程序，此時才停止輸出重置信號。藉此，能夠確保CPU順利完成重置程序，解決了傳統技術之問題。

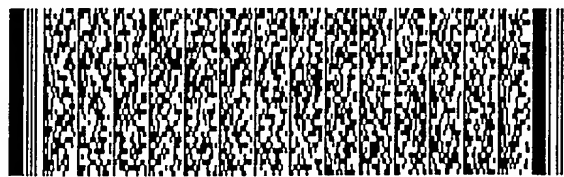
為獲致上述之目的，本發明提出一種重置脈衝產生裝置，包括微處理器、振盪電路以及振盪失能電路。微處理器係於成功執行重置程序後係輸出重置結束信號。振盪電路係耦接於微處理器，用以輸出週期性之重置脈衝。振盪失能電路係耦接於振盪電路，當接收到重置結束信號時，則使振盪電路停止振盪，並使微處理器在正常操作模式下工作。

實施例：

根據本發明實施例所揭露之技術，係利用振盪電路輸出週期性重置脈波至CPU，並在CPU成功完成重置程序後，將振盪電路失能以停止執行重置程序，並由CPU執行後續之正常操作流程。

第一實施例

參閱第2圖，第2圖係顯示根據本發明第一實施例所述之重置脈衝產生裝置之電路圖。如第2圖所示，當低位準之開機啟動脈衝信號POWER_ON#輸入至反相器20時，能夠產生高位準之重置信號RESET。在第一實施例中，重置信號RESET之位準係預設為高位準，另外，反相器20係以史密特觸發器為例，此原因在於其忍受雜訊的能力較高，事

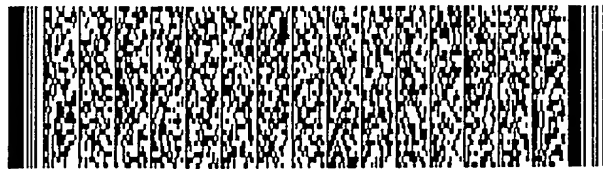


五、發明說明 (3)

實上，根據本發明實施例所述之重置脈衝產生裝置，能使用任何類型之反相器。另外，重置信號RESET同樣可藉由操作手動開關22產生，當手動開關22導通時，於史密特觸發器20輸入端之位準下拉為低位準，因此可產生高位準之重置信號RESET。同時，史密特觸發器20輸出端所輸出高位準之重置信號RESET回授至電容24，使得於電容24兩端之電壓差逐漸升高。由於史密特觸發器20具有不同之臨界電壓，分別為高臨界電壓與低臨界電壓。因此，當電容24兩端之電壓差超過史密特觸發器20之高臨界電壓時，此時史密特觸發器20改輸出低位準之信號。同樣的，回授至電容24之低位準信號導致電容24開始放電，直到電容24兩端之電壓差低於史密特觸發器20之低臨界電壓為止。因此，以史密特觸發器20構成之振盪電路能夠輸出週期性之重置信號脈波RESET。

史密特觸發器20所輸出之週期性重置信號脈波RESET至CPU 26，則CPU 26根據上述重置信號脈波RESET而執行重置程序以進行啟始化(initialization)操作。由於，此時之重置信號脈波RESET為週期性之脈衝，因此即使當CPU 26執行重置程序時發生時序錯誤而重置失敗時，仍然可受到下一個重置信號RESET致能而再次執行重置程序，因此可確保CPU 26能夠重置成功。

另外，當CPU 26能夠重置成功後，此時於CPU 26輸出代表成功執行重置程序之振盪停止信號RST_STP。振盪停止信號RST_STP#可藉由改變CPU之韌體或硬體結構來產

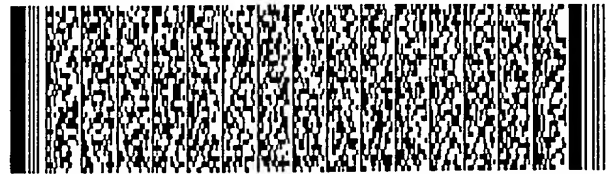
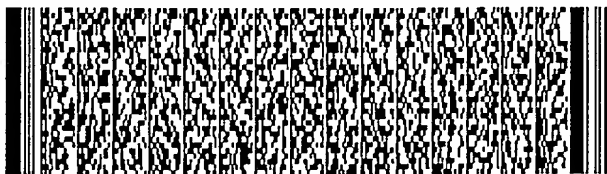


五、發明說明 (4)

生，根據本發明第一實施例，振盪停止信號RST_STP#為位準，因此能夠導通開關28。在此，開關28可為MOS電晶體、以及雙極電晶體等。由於振盪停止信號RST_STP#為低位準，因此在此開關28係以PNP電晶體為例。當開關28導通時，電源Vcc所提供之電壓將史密特觸發器20輸入端之位準拉升至高位準，因此史密特觸發器20持續輸出低位準信號，如上所述，重置信號RESET之位準係預設為高位準，因此可視為停止輸出重置信號RESET，完成了通電重置(power-on reset)程序。在此，振盪電路之輸出週期必須高於CPU接收到重置信號至其輸出代表成功執行重置程序之振盪停止信號的時間區間，如此才能避免系統之誤動作。

第二實施例

參閱第3圖，第3圖係顯示根據本發明第二實施例所述之重置脈衝產生裝置之電路圖。如第3圖所示，當高位準之開機啟動脈衝信號POWER_ON輸入至反相器30時，能夠產生低位準之重置信號RESET#。在第二實施例中，重置信號RESET#之位準係預設為低位準，另外，反相器30同樣係以史密特觸發器為例。另外，重置信號RESET#同樣可藉由操作手動開關32產生。當史密特觸發器30輸出低位準之重置信號RESET#時，重置信號RESET#回授至電容34，使得於電容34兩端之電壓差逐漸減少。當電容24兩端之電壓差低於史密特觸發器30之低臨界電壓時，此時史密特觸發器30改輸出高位準之信號。同樣的，回授至電容34之高位準信號



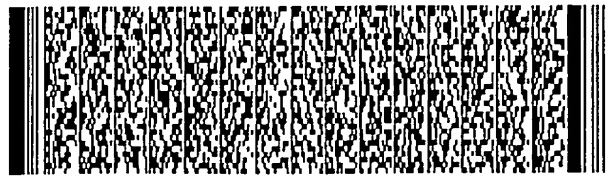
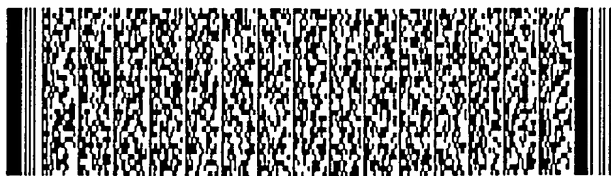
五、發明說明 (5)

導致電容34開始充電，直到電容34兩端之電壓差超過史密特觸發器30之高臨界電壓為止。因此，以史密特觸發器30構成之振盪電路能夠輸出週期性之重置信號脈波RESET#。

史密特觸發器30所輸出之週期性重置信號脈波RESET#至CPU 36，則CPU 36根據上述重置信號脈波RESET#而執行重置程序以進行啟始化(initialization)操作。由於，此時之重置信號脈波RESET#為週期性之脈衝，因此即使當CPU 36執行重置程序時發生時序錯誤而重置失敗時，仍然可受到下一個重置信號RESET#致能而再次執行重置程序，因此可確保CPU 36能夠重置成功。

另外，當CPU 36能夠重置成功後，此時於CPU 36輸出代表成功執行重置程序之振盪停止信號RST_STP，根據本發明第二實施例，振盪停止信號RST_STP為高位準，因此能夠導通開關38，在此開關38係以NPN電晶體為例。當開關38導通時，史密特觸發器30輸入端之位準將被下拉至低位準，因此史密特觸發器30持續輸出高位準信號，如上所述，重置信號RESET#之位準係預設為低位準，因此可視為停止輸出重置信號RESET#，完成了通電重置(power-on reset)程序。

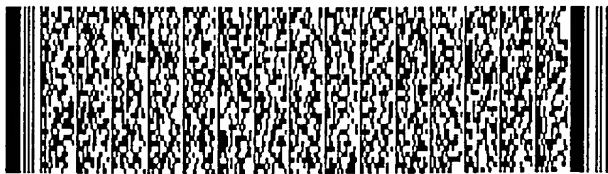
根據本發明實施例所述之重置脈衝產生裝置，能夠週期性產生重置信號脈衝至CPU，並藉由偵測CPU於重置成功後所產生之信號來確認CPU完成重置程序，此時才停止輸出重置信號。藉此，能夠確保CPU順利完成重置程序，解決了傳統技術之問題。另外，相較於傳統技術（如第1圖



五、發明說明 (6)

所示)，根據本發明實施例所述之重置脈衝產生裝置所用之元件數目與傳統技術相同，無須增設額外之電路元件，因此不會提高電路之成本以及尺寸，但卻能保證CPU順利完成重置程序，有解決傳統技術之問題，並具有產業之利用性。

本發明雖以較佳實施例揭露如上，然其並非用以限定本發明的範圍，任何熟習此項技藝者，在不脫離本發明之精神和範圍內，當可做些許的更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

圖式之簡單說明：

為使本發明之上述目的、特徵和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

圖示說明：

第1圖係顯示傳統通電重置電路之電路圖。

第2圖係顯示根據本發明第一實施例所述之重置脈衝產生裝置之電路圖。

第3圖係顯示根據本發明第二實施例所述之重置脈衝產生裝置之電路圖。

符號說明：

10 ～ 反相器

12、22、32 ～ 手動開關

14、26、36 ～ CPU

20、30 ～ 史密特觸發器

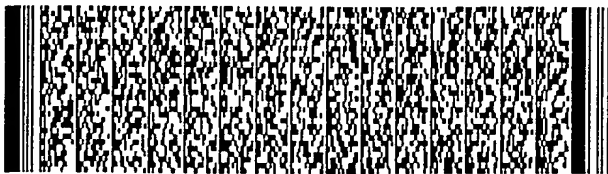
24、34 ～ 電容

28、38 ～ 開關

POWER_ON ～ 開機啟動脈衝信號

RESET ～ 重置信號

RST_STP ～ 振盪停止信號



六、申請專利範圍

1. 一種重置脈衝產生裝置，適用於一微處理器，上述微處理器於成功執行重置程序後係輸出一重置結束信號，包括：

一振盪電路，耦接於上述微處理器，用以輸出週期性之重置脈衝至上述微處理器；以及

一振盪失能電路，耦接於上述振盪電路，當接收到上述重置結束信號時，則使上述振盪電路停止振盪，並使上述微處理器在正常操作模式下工作。

2. 如申請專利範圍第1項所述之重置脈衝產生裝置，其中上述振盪電路包括：

一史密特觸發器，具以一輸入端以及一輸出端；

一電阻，耦接於上述輸入端以及輸出端之間；以及

一電容，耦接於上述輸入端以及一接地點之間。

3. 如申請專利範圍第1項所述之重置脈衝產生裝置，其中上述振盪失能電路為一開關，受控於上述重置結束信號而導通，並輸出一振盪停止信號以使上述振盪電路停止振盪。

4. 如申請專利範圍第1項所述之重置脈衝產生裝置，更包括一手動開關，用以提供一開機啟動脈衝以使得上述振盪電路開始操作。

5. 如申請專利範圍第1項所述之重置脈衝產生裝置，其中上述開機啟動脈衝係於提供電源時產生。

6. 一種重置脈衝產生裝置，包括：

一微處理器，上述微處理器於成功執行重置程序後係



六、申請專利範圍

輸出一重置結束信號；

一振盪電路，耦接於上述微處理器，用以輸出週期性之重置脈衝至上述微處理器；以及

一振盪失能電路，耦接於上述振盪電路，當接收到上述重置結束信號時，則使上述振盪電路停止振盪，並使上述微處理器在正常操作模式下工作。

7. 如申請專利範圍第6項所述之重置脈衝產生裝置，其中上述振盪電路包括：

一史密特觸發器，具以一輸入端以及一輸出端；

一電阻，耦接於上述輸入端以及輸出端之間；以及

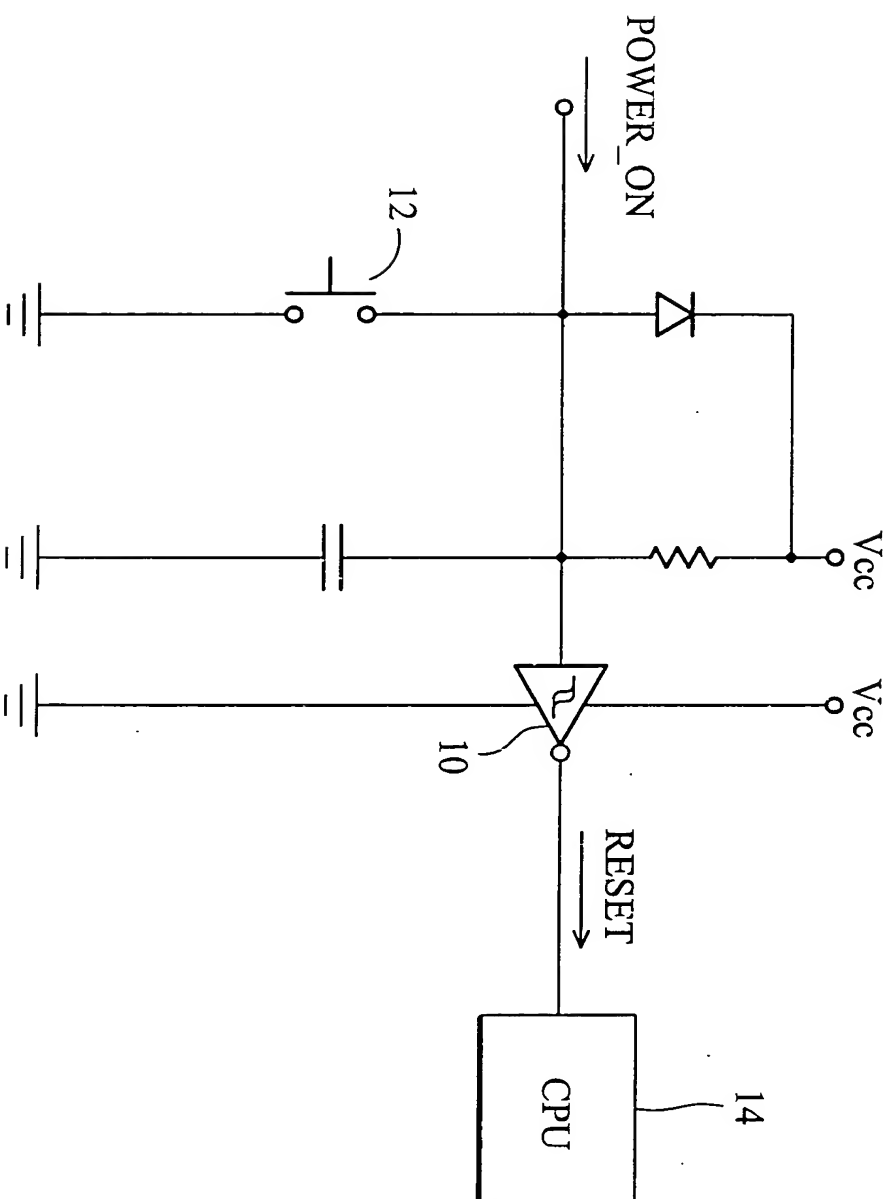
一電容，耦接於上述輸入端以及一接地點之間。

8. 如申請專利範圍第6項所述之重置脈衝產生裝置，其中上述振盪失能電路為一開關，受控於上述重置結束信號而導通，並輸出一振盪停止信號以使上述振盪電路停止振盪。

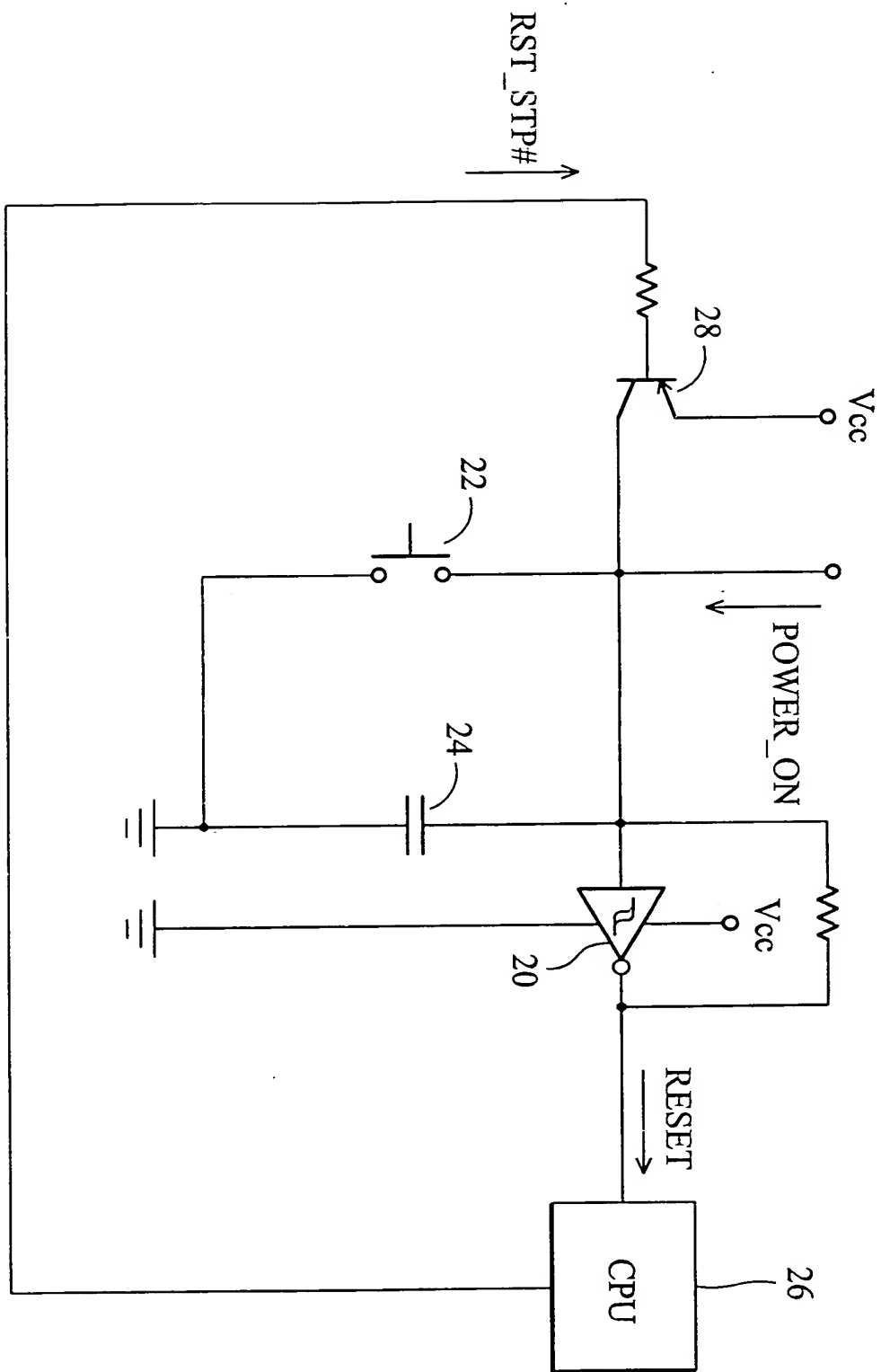
9. 如申請專利範圍第6項所述之重置脈衝產生裝置，更包括一手動開關，用以提供一開機啟動脈衝以使得上述振盪電路開始操作。

10. 如申請專利範圍第6項所述之重置脈衝產生裝置，其中上述開機啟動脈衝係於提供電源時產生。

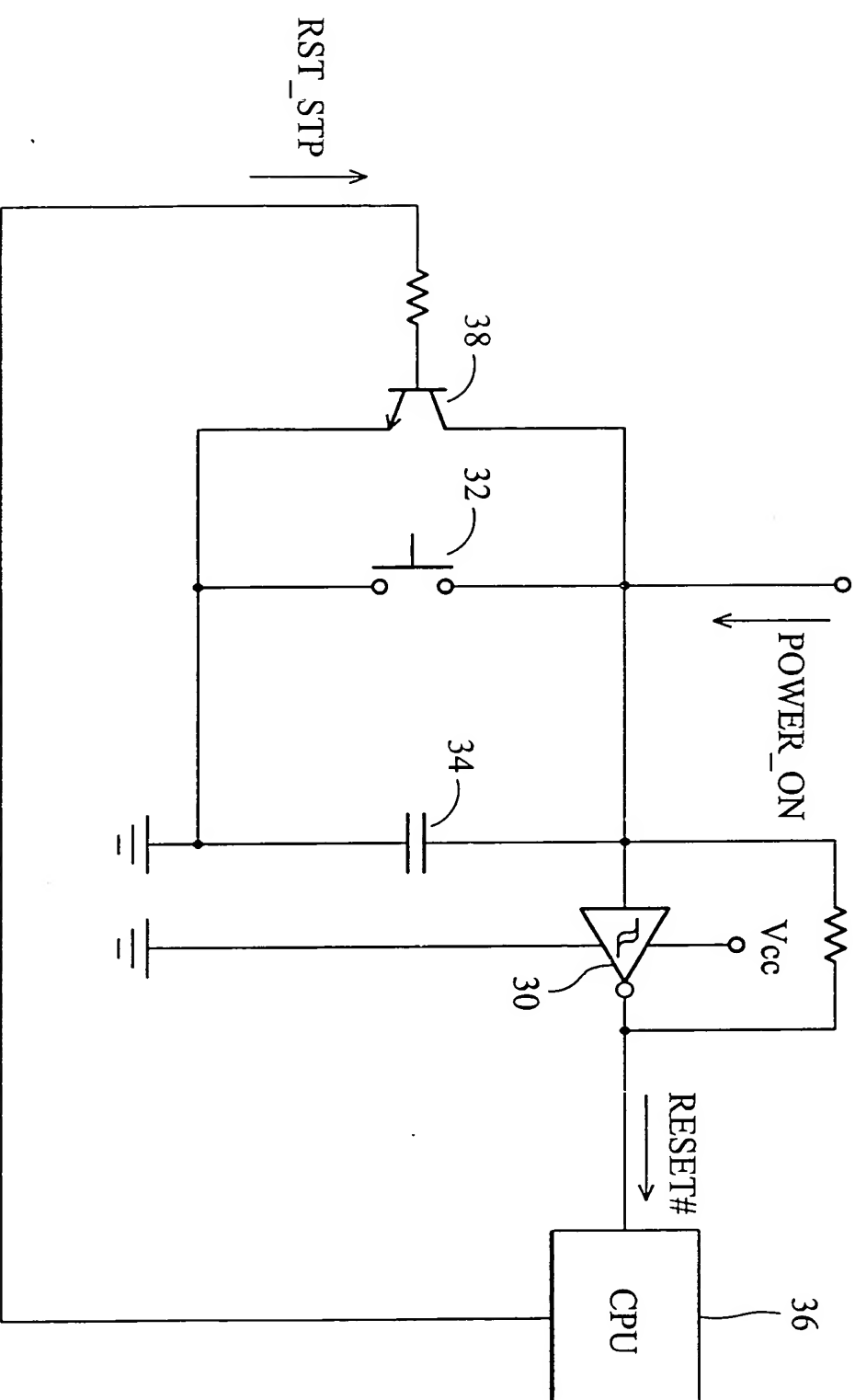




第1圖



第2圖



第 3 圖

第 1/14 頁



第 2/14 頁



第 3/14 頁



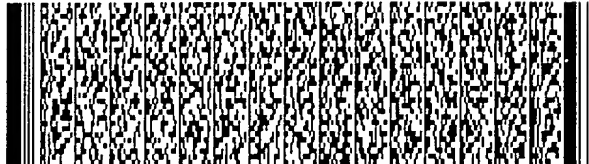
第 4/14 頁



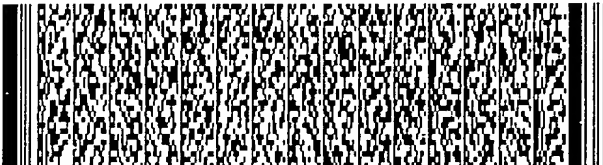
第 5/14 頁



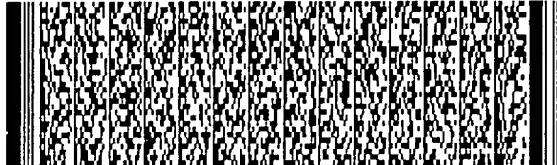
第 6/14 頁



第 6/14 頁



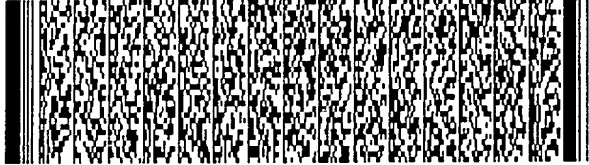
第 7/14 頁



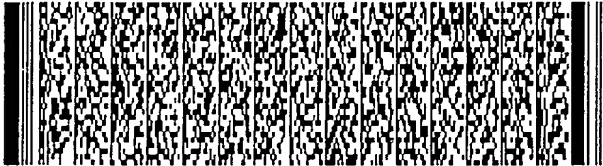
第 7/14 頁



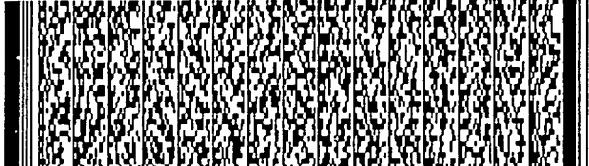
第 8/14 頁



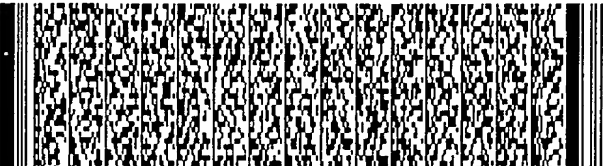
第 8/14 頁



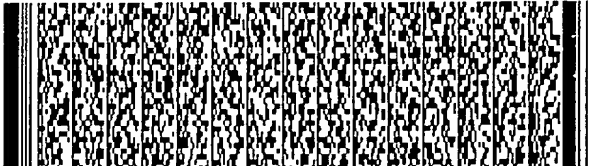
第 9/14 頁



第 9/14 頁



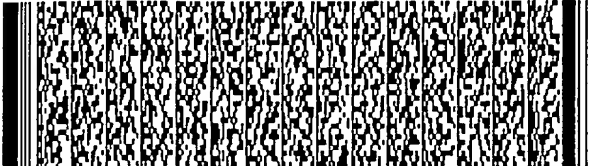
第 10/14 頁



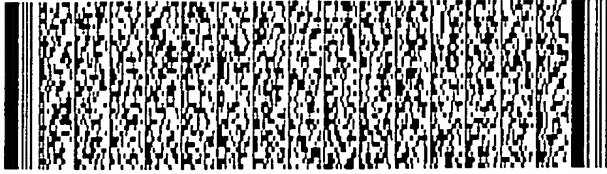
第 10/14 頁



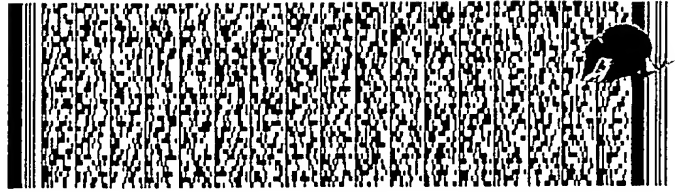
第 11/14 頁



第 12/14 頁



第 13/14 頁



第 14/14 頁

